(19) 世界知的所有権機関 国際事務局



(43) 国際公開日 2005年9月29日(29.09.2005)

PCT

(10) 国際公開番号 WO 2005/091146 A1

(51) 国際特許分類7:

G06F 12/08

(21) 国際出願番号:

PCT/JP2005/004676

(22) 国際出願日:

2005年3月16日(16.03.2005)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2004-086174

2004年3月24日(24.03.2004) Π^{p}

- (71) 出願人 (米国を除く全ての指定国について): 松下電 器産業株式会社 (MATSUSHITA ELECTRIC INDUS-TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大 字門真 1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中西 龍太

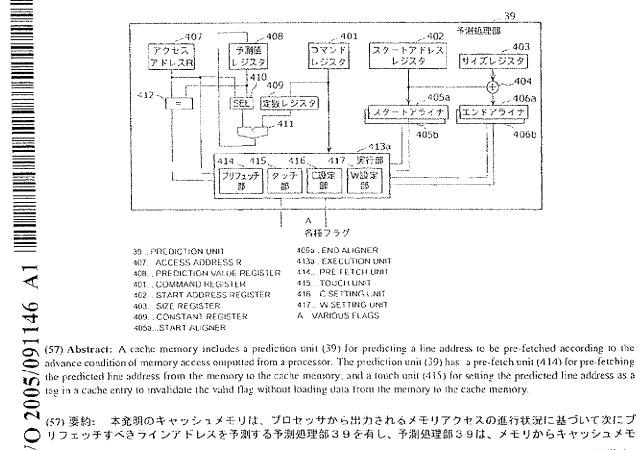
(NAKANISHI, Ryuta). 岡林 はづき (OKABAYASHI, Hazuki)。田中 哲也 (TANAKA, Tetsuya)。清原 督三 (KJYOHARA, Tokuzou).

- (74) 代理人: 新居 広守 (NII, Hiromori); 〒5320011 大阪府 大阪市淀川区西中島3丁目11番26号 新大阪末広 センタービル 3 F 新居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が 可能): AF, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

/続葉有/

(54) Title: CACHE MEMORY AND CONTROL METHOD THEREOF

(54) 発明の名称: キャッシュメモリ及びその制御方法



リフェッチすべきラインアドレスを予測する予測処理部39を有し、予測処理部39は、メモリからキャッシュメモ

